

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Gyu-Ho Lyu, et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: SEMICONDUCTOR DEVICES AND METHODS OR FORMING THE SAME

Date: February 12, 2004

Mail Stop PATENT APPLICATION

Commissioner for Patents

P. O. Box 1450

Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the following Korean priority application:

10-2003-0014387, filed March 7, 2003.

Respectfully submitted,

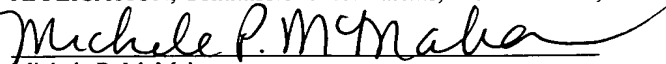


D. Randal Ayers
Registration No. 40,493

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec, P.A.
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: (919) 854-1400
Facsimile: (919) 854-1401
Our File No. 5649-1165

"Express Mail" mailing label number EV 353593065US
Date of Deposit: February 12, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to MAIL STOP PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.


Michele P. McMahan



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0014387
Application Number

출원년월일 : 2003년 03월 07일
Date of Application

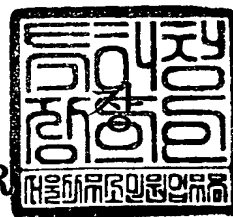
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 01 일

특 허 청

COMMISSIONER





1020030014387

출력 일자: 2003/9/5

	【서지사항】
【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.07
【발명의 명칭】	게이트 전극을 갖는 반도체 소자 및 그 형성방법
【발명의 영문명칭】	Semiconductor device having gate electrodes and method of forming the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	유규호
【성명의 영문표기】	LYU,GYU-HO
【주민등록번호】	690702-1047631
【우편번호】	442-400
【주소】	경기도 수원시 팔달구 망포동 현대 I Park 109동 903호
【국적】	KR
【발명자】	
【성명의 국문표기】	정순문
【성명의 영문표기】	JUNG,S00N-M00N
【주민등록번호】	611116-1120032
【우편번호】	449-913

【주소】	경기도 용인시 구성면 보정리 삼성5차 512동 1401호
【국적】	KR
【발명자】	
【성명의 국문표기】	김성봉
【성명의 영문표기】	KIM,SUNG-BONG
【주민등록번호】	640428-1163116
【우편번호】	442-707
【주소】	경기도 수원시 팔달구 망포동 벽산아파트 115동 1704호
【국적】	KR
【발명자】	
【성명의 국문표기】	임훈
【성명의 영문표기】	LIM,H00N
【주민등록번호】	670125-1226148
【우편번호】	133-102
【주소】	서울특별시 성동구 옥수2동 삼성아파트 105동 508호
【국적】	KR
【발명자】	
【성명의 국문표기】	조원석
【성명의 영문표기】	CHO,WON-SEOK
【주민등록번호】	680305-1057626
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동63 까치마을 401동 1303호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 임창현 (인) 대리인 권혁수 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 33 면 33,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 62,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

게이트 전극을 갖는 반도체 소자 및 그 형성방법을 제공한다. 이 소자는 반도체기판 및 반도체기판 상에 배치된 게이트 라인을 구비한다. 게이트 라인은 반도체기판 상에 적층된 게이트 절연 패턴 및 게이트 전극으로 구성된다. 게이트 라인 측벽에 스페이서가 배치된다. 게이트 라인 상에 도전성 라인 패턴이 배치된다. 도전성 라인 패턴은 게이트 라인과 평행하며, 게이트 전극과 전기적으로 접속한다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

게이트 전극을 갖는 반도체 소자 및 그 형성방법{Semiconductor device having gate electrodes and method of forming the same}

【도면의 간단한 설명】

도 1은 종래의 폴리사이드막의 게이트 전극을 갖는 모스 트랜지스터를 설명하기 위한 평면도이다.

도 2는 도 1의 I-I'을 따라 취해진 단면도이다.

도 3은 본 발명의 제1 실시예에 따른 게이트 전극을 갖는 반도체 소자를 설명하기 위한 평면도이다.

도 4는 도 3의 II-II'을 따라 취해진 단면도이다.

도 5는 도 3의 III-III'을 따라 취해진 단면도이다.

도 6 및 도 7은 본 발명의 제1 실시예에 따른 반도체 소자의 형성방법을 설명하기 위하여 도 3의 III-III'을 따라 취해진 단면도들이다.

도 8은 본 발명의 제2 실시예에 따른 게이트 전극을 갖는 반도체 소자를 설명하기 위한 사시도이다.

도 9 및 도 10은 본 발명의 제2 실시예에 따른 반도체 소자의 형성방법을 설명하기 위한 단면도들이다.

도 11은 본 발명의 제3 실시예에 따른 반도체 소자를 설명하기 위한 평면도이다.

도 12는 도 11의 IV-IV'를 따라 취해진 단면도이다.

도 13은 도 11의 V-V'를 따라 취해진 단면도이다.

도 14는 본 발명의 제3 실시예에 따른 반도체 소자 중 다른 형태의 도전성 라인 패턴을 보여주는 평면도이다.

도 15A 및 도 16A는 본 발명의 제3 실시예에 따른 반도체 소자의 형성방법을 설명하기 위하여 도 11의 IV-IV'를 따라 취해진 단면도들이다.

도 15B 및 도 16B는 본 발명의 제3 실시예에 따른 반도체 소자의 형성방법을 설명하기 위하여 도 11의 V-V'를 따라 취해진 단면도들이다.

도 17은 본 발명의 제4 실시예에 따른 반도체 소자를 설명하기 위한 단면도이다.

도 18 및 도 19는 본 발명의 제4 실시예에 따른 반도체 소자의 형성방법을 설명하기 위한 단면도들이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 반도체 소자 및 그 형성방법에 관한 것으로, 특히, 게이트 전극을 갖는 반도체 소자 및 그 형성방법에 관한 것이다.

<18> 반도체 소자 중 모스 트랜지스터는 반도체기판 상에 형성된 게이트 전극, 게이트 전극 양측의 반도체기판에 형성된 소오스/드레인 영역으로 구성된다. 일반적으로, 상기 게이트 전극의 선폭은 디자인룰에 따른 최소선폭으로 형성된다.

반도체 소자의 고집적화 경향에 따라, 반도체 소자의 선폭이 점점 감소하고 있으며, 특히, 상기 게이트 전극의 선폭 또한 점점 감소하고 있다.

<19> 상기 게이트 전극의 선폭의 감소로 인하여, 상기 게이트 전극의 저항이 증가하여 모스 트랜지스터의 동작속도를 감소 시킬 수 있다. 이러한 현상은 반도체 소자에 있어서, 고속의 동작속도가 요구되는 현 추세에 큰 걸림돌이 되고 있다.

<20> 상기 게이트 전극의 저항을 감소시키기 위한 방안으로, 폴리사이드막으로 게이트 전극을 형성하는 방법이 제안된 바 있다. 상기 폴리사이드막은 도핑된 폴리실리콘막 상에 저저항의 금속실리사이드막을 적층한 구조이다.

<21> 도 1은 종래의 폴리사이드막의 게이트 전극을 갖는 모스 트랜지스터를 설명하기 위한 평면도이며, 도 2는 도 1의 I-I'을 따라 취해진 단면도이다.

<22> 도 1 및 도 2를 참조하면, 반도체기판(1)의 소정영역에 활성영역들(3)을 한정하는 소자분리막(2)이 배치된다. 상기 활성영역들(3) 상을 게이트 라인(7)이 가로지른다. 상기 게이트 라인(7)은 차례로 적층된 게이트 절연막(4), 도핑된 폴리실리콘막(5) 및 금속실리사이드막(6)으로 구성된다. 상기 금속실리사이드막(6)은 코발트실리사이드막으로 형성될 수 있다. 상기 도핑된 폴리실리콘막(5) 및 금속실리사이드막(6)은 모스 트랜지스터의 게이트 전극에 해당한다. 상기 게이트 라인(7) 양측의 활성영역에 불순물확산층(8)이 배치된다. 상기 불순물확산층(8)은 모스 트랜지스터의 소오스/드레인 영역에 해당한다.

<23> 상술한 구조의 모스 트랜지스터에 있어서, 상기 금속실리사이드막(6)의 저항은 상기 도핑된 폴리실리콘막(5)에 비하여 낮은 비저항값을 갖는다. 이에

따라, 상기 금속실리사이드막(6)은 상기 게이트 전극의 저항을 감소시키는 역할을 한다. 하지만, 반도체 소자의 고집적화 경향에 따라, 상기 게이트 라인(7)의 선평이 점점 감소하고 있다. 이에 따라, 상기 금속실리사이드막(7)의 불량으로 틈(A)이 발생할 수 있다. 이러한 현상은 상기 게이트 라인(7)의 선평이 상기 금속실리사이드막(6)의 그레인 크기(grain size)와 유사할 경우에 심화될 수 있다. 상기 틈(A)으로 인하여, 상기 금속실리사이드막(6)이 단절되어 상기 게이트 전극의 저항이 급격히 증가할 수 있다. 결과적으로, 상기 모스 트랜지스터의 동작속도가 저하되어 상기 모스 트랜지스터를 갖는 반도체 소자의 동작속도가 저하될 수 있다.

【발명이 이루고자 하는 기술적 과제】

<24> 본 발명이 이루고자 하는 기술적 과제는 반도체 소자의 동작속도를 향상시킬 수 있는 게이트 전극을 갖는 반도체 소자를 제공하는데 있다.

<25> 본 발명이 이루고자 하는 다른 기술적 과제는 반도체 소자의 동작속도를 향상시킬 수 있는 게이트 전극을 갖는 반도체 소자의 형성방법을 제공하는데 있다.

【발명의 구성 및 작용】

<26> 상술한 기술적 과제를 해결하기 위한 게이트 전극을 갖는 반도체 소자를 제공한다. 본 발명의 일 실시예에 따른 반도체 소자는 반도체기판과 상기 반도체기판 상에 차례로 적층된 게이트 절연 패턴 및 게이트 전극으로 구성된 게이트 라인을 포함한다. 상기 게이트 라인의 측벽에 스페이서가 배치되고, 상기 게이트

라인 상에 도전성 라인 패턴이 배치된다. 상기 도전성 라인 패턴은 상기 게이트 라인과 평행하며, 상기 게이트 전극과 전기적으로 접속한다.

<27> 구체적으로, 상기 게이트 전극은 도핑된 폴리실리콘막 및 폴리사이드막으로 구성된 그룹에서 선택된 하나로 이루어지는 것이 바람직하다. 상기 폴리사이드막은 적층된 도핑된 폴리실리콘막 및 금속실리사이드막으로 구성된다. 상기 일실시에에 따른 반도체 소자는 상기 반도체기판, 상기 게이트 라인 및 상기 스페이서를 덮는 층간절연막을 더 포함할 수 있다. 이때, 상기 도전성 라인 패턴은 상기 층간절연막을 관통하여 상기 게이트 라인의 상부면을 노출시키는 그루브 내에 배치된다. 이와는 달리, 상기 일 실시예에 따른 반도체 소자는 상기 게이트 라인 및 상기 스페이서를 갖는 반도체기판에 형성되되, 상기 게이트 라인의 상부면이 노출될때까지 평탄화된 층간절연막을 더 포함할 수 있다. 상기 도전성 라인 패턴은 적어도 상기 게이트 라인의 길이를 갖는 것이 바람직하다. 상기 도전성 라인 패턴은 금속막으로 이루어지는 것이 바람직하다.

<28> 본 발명의 다른 실시예에 따른 반도체 소자는 반도체기판 및 상기 반도체기판 상에 서로 이격되어 배치되되, 적층된 제1 게이트 절연 패턴 및 제1 게이트 전극으로 구성된 제1 게이트 라인 및, 적층된 제2 게이트 절연 패턴 및 제2 게이트 전극으로 구성된 제2 게이트 라인을 포함한다. 상기 제1 및 제2 게이트 라인들의 측벽에 스페이서가 배치되고, 상기 제1 및 제2 게이트 라인들 상에 도전성 라인 패턴이 배치된다. 상기 도전성 라인 패턴은 상기 제1 게이트 라인과 평행한 부분 및 상기 제2 게이트 라인과 평행한 부분을 갖고, 상기 제1 및 제2 게이트 전극들을 전기적으로 접속시킨다.

- <29> 구체적으로, 상기 제1 및 제2 게이트 라인들은 도핑된 폴리실리콘막 및 폴리사이드막으로 구성된 그룹에서 선택된 하나로 이루어지는 것이 바람직하다. 상기 폴리사이드막은 적층된 도핑된 폴리실리콘막 및 금속실리사이드막으로 구성된다. 상기 도전성 라인 패턴의 상기 제1 게이트 라인과 평행한 부분은 적어도 상기 제1 게이트 라인의 길이를 갖고, 상기 도전성 라인 패턴의 상기 제2 게이트 라인과 평행한 부분은 적어도 상기 제2 게이트 라인의 길이를 갖는 것이 바람직하다. 상기 도전성 라인 패턴은 금속막으로 이루어지는 것이 바람직하다.
- <30> 상술한 다른 기술적 과제를 해결하기 위한 게이트 전극을 갖는 반도체 소자의 형성방법을 제공한다. 본 발명의 일 실시예에 따른 반도체 소자의 형성방법은 반도체기판 상에 차례로 적층된 게이트 절연 패턴 및 게이트 전극으로 구성된 게이트 라인을 형성하는 단계를 포함한다. 상기 게이트 라인의 측벽에 스페이서를 형성하고, 상기 스페이서를 갖는 반도체기판 전면에 층간절연막을 형성한다. 상기 게이트 라인의 상부면을 노출시킨다. 상기 노출된 게이트 라인 상에 상기 게이트 라인과 평행한 도전성 라인 패턴을 형성한다.
- <31> 구체적으로, 상기 게이트 전극은 도핑된 폴리실리콘막 및 폴리사이드막으로 구성된 그룹에서 선택된 하나로 형성하는 것이 바람직하다. 상기 폴리사이드막은 도핑된 폴리실리콘막 및 금속실리사이드막으로 구성된다. 상기 게이트 라인의 상부면을 노출시키는 단계 및 상기 도전성 라인 패턴을 형성하는 단계는 상기 층간절연막을 패터닝하여 상기 게이트 라인의 상부면을 노출시키는 그루브를 형성하는 단계를 포함할 수 있다. 상기 그루브를 채우는 도전막을 반도체기판 전면에 형성하고, 상기 도전막을 상기 층간절연막이 노출될때까지 평탄화시켜서 상기 그

루브 내에 상기 도전성 라인 패턴을 형성한다. 이와는 다르게, 상기 게이트 라인의 상부면을 노출시키는 단계 및 상기 도전성 라인 패턴을 형성하는 단계는 상기 층간절연막을 상기 게이트 라인의 상부면이 노출될때까지 평탄화시키는 단계를 포함할 수 있다. 상기 노출된 게이트 라인을 갖는 반도체기판 전면에 도전막을 형성하고, 상기 도전막을 패터닝하여 상기 게이트 라인 상에 상기 도전성 라인 패턴을 형성한다. 상기 도전성 라인 패턴은 금속막으로 형성하는 것이 바람직하다.

<32> 본 발명의 다른 실시예에 따른 반도체 소자의 형성방법은 상기 반도체기판 상에 서로 이격되어 배치되되, 적층된 제1 게이트 절연 패턴 및 제1 게이트 전극으로 구성된 제1 게이트 라인 및, 적층된 제2 게이트 절연 패턴 및 제2 게이트 전극으로 구성된 제2 게이트 라인을 형성하는 단계를 포함한다. 상기 제1 및 제2 게이트 라인들의 측벽에 스페이서를 형성하고, 상기 스페이서를 갖는 반도체기판 전면에 층간절연막을 형성한다. 상기 제1 및 제2 게이트 라인들의 상부면들을 노출시키고, 상기 노출된 제1 및 제2 게이트 라인들 상에 상기 제1 게이트 라인과 평행한 부분 및 상기 제2 게이트 라인과 평행한 부분을 갖는 도전성 라인 패턴을 형성한다. 상기 도전성 라인 패턴은 상기 제1 및 제2 게이트 전극들을 전기적으로 접속시킨다.

<33> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전

달릴 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 '상'에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<34> (제1 실시예)

<35> 도 3은 본 발명의 제1 실시예에 따른 게이트 전극을 갖는 반도체 소자를 설명하기 위한 평면도이며, 도 4는 도 3의 II-II'을 따라 취해진 단면도이고, 도 5는 도 3의 III-III'을 따라 취해진 단면도이다.

<36> 도 3, 도 4 및 도 5를 참조하면, 반도체기판(101)의 소정영역에 소자분리막(102)이 배치된다. 상기 소자분리막(102)은 적어도 하나의 활성영역들(103)을 한정한다. 상기 소자분리막(102)은 트렌치 소자분리막일 수 있다. 게이트 라인(108)이 적어도 하나의 상기 활성영역(103)을 가로지른다. 상기 게이트 라인(108)은 적층된 게이트 절연 패턴(104) 및 게이트 전극(107)으로 구성된다. 상기 게이트 절연 패턴(104)은 열산화막으로 이루어질 수 있다. 상기 게이트 전극(107)은 도핑된 폴리실리콘막(105)으로 이루어질 수 있다. 이와는 달리, 상기 게이트 전극(107)은 도핑된 폴리실리콘막(105) 및 금속실리사이드막(106)으로 구성된 폴리사이드막으로 이루어질 수 있다. 상기 금속실리사이드막(106)은 텅스텐실리사이드, 코발트실리사이드, 니켈실리사이드 또는 티타늄실리사이드로 이루어질 수 있다.

- <37> 상기 게이트 라인(108)의 측벽에 스페이서(110)가 배치된다. 상기 스페이서(110)는 실리콘산화막, 실리콘질화막 또는 실리콘산화막과 실리콘질화막의 복합막으로 이루어질 수 있다. 상기 게이트 라인(108) 양측의 상기 활성영역(103)에 불순물확산층(111)이 배치된다. 상기 불순물확산층(111)은 모스 트랜지스터의 소오스/드레인 영역에 해당한다. 상기 불순물확산층(111)은 저농도 불순물확산층(109a) 및 고농도 불순물확산층(109b)로 구성된 엘디디(LDD;Lightly Doped Drain)구조일 수 있다.
- <38> 상기 소자분리막(102), 상기 활성영역(103), 상기 게이트 라인(108) 및 상기 스페이서(110)를 덮는 식각방지막(114) 및 층간절연막(115)이 차례로 적층된다. 상기 식각방지막(114)은 상기 층간절연막(115)에 대하여 식각선택비를 갖는 절연막으로 이루어진다. 예를 들면, 상기 층간절연막(115)이 실리콘산화막으로 이루어질 경우, 상기 식각방지막(114)은 실리콘질화막으로 이루어질 수 있다. 상기 식각방지막(114)은 생략될 수도 있다.
- <39> 상기 층간절연막(115) 및 상기 식각방지막(114)을 통하여 상기 게이트 라인(108)의 상부면을 노출시키는 그루브(117) 내에 도전성 라인 패턴(120a)이 배치된다. 상기 도전성 라인 패턴(120a)은 상기 게이트 라인(108)과 평행하며, 상기 게이트 전극(107)과 전기적으로 접속한다. 상기 도전성 라인 패턴(120a)은 적어도 상기 게이트 라인(108)의 길이를 갖는 것이 바람직하다. 상기 도전성 라인 패턴(120a)은 금속막으로 이루어지는 것이 바람직하다. 예를 들면, 알루미늄(Al), 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta) 또는 구리(Cu)로 이루어질 수 있다.

상기 도전성 라인 패턴(120a)이 텅스텐, 알루미늄 또는 구리로 이루어질때, 상기 도전성 라인 패턴(120a)은 베리어막으로 사용되는 도전성 금속질화막을 더 포함할 수 있다. 즉, 상기 도전성 라인 패턴(120a)은 상기 그루브(117) 내에 적층된 콘포말한 도전성 금속질화막 및 상기 그루브(117)를 채우는 텅스텐(구리 또는 알루미늄)으로 이루어질 수 있다. 상기 도전성 금속질화막은 생략될 수도 있다. 도 5에 있어서, 상기 도전성 라인 패턴(120a)의 폭(W)은 상기 게이트 라인(108)의 폭과 동일하게 도시되어 있으나, 상기 도전성 라인 패턴의 폭(W)은 상기 게이트 라인(108)의 폭보다 클 수도 있다.

<40> 상술한 구조의 반도체 소자에 있어서, 상기 도전성 라인 패턴(120a)으로 인하여, 상기 금속실리사이드막(106)에 종래의 틈(crack)이 발생할지라도, 상기 게이트 전극(107)의 저항이 증가하지 않는다. 다시 말해서, 상기 도전성 라인 패턴(120a)이 상기 게이트 전극(107)의 상부면과 전기적으로 접속함으로써, 상기 금속실리사이드막(106)의 불량에 발생할지라도, 상기 게이트 전극(107)의 저항을 감소시킨다. 또한, 상기 게이트 전극(107)이 상기 도핑된 폴리실리콘막(105)으로만 이루어질 경우에도, 상기 도전성 라인 패턴(120a)이 상기 도핑된 폴리실리콘막(105)과 전기적으로 접속됨으로, 상기 게이트 전극(107)의 저항을 감소시킨다. 결과적으로, 상기 도전성 라인 패턴(120a)으로 인하여, 상기 게이트 전극(107)의 저항이 감소됨에 따라, MOS 트랜지스터의 동작속도를 향상시킬 수 있다.

<41> 상기 도전성 라인 패턴(120a) 양측에 플러그 라인(120b)이 배치될 수 있다.

상기 플러그 라인(120a)은 상기 층간절연막(115) 및 상기 식각방지막(114)을 관통하여 적어도 2개의 불순물확산층들(111)의 소정영역을 노출시키는 플러그 그루브(118) 내에 배치된다. 상기 플러그 라인(120b)은 이웃하는 불순물확산층들(111)을 서로 전기적으로 접속시킨다. 상기 플러그 라인(120b)은 상기 도전성 라인 패턴(120a)과 평행할 수 있다. 상기 플러그 라인(120b)은 구성하고자 하는 회로에 따라 상기 게이트 라인(108)의 양측 또는 상기 게이트 라인(108)의 일측에 배치될 수 있다. 물론, 상기 플러그 라인(120b)은 생략될 수도 있다. 상기 플러그 라인(120b)은 상기 도전성 라인 패턴(120a)과 동일한 물질로 이루어질 수 있다.

<42> 도 6 및 도 7은 본 발명의 제1 실시예에 따른 반도체 소자의 형성방법을 설명하기 위하여 도 3의 III-III'을 따라 취해진 단면도들이다.

<43> 도 6을 참조하면, 반도체기판(101)에 적어도 하나의 활성영역을 한정하는 소자분리막(102)을 형성한다. 상기 소자분리막(102)은 트렌치 소자분리막으로 형성할 수 있다. 적어도 하나의 상기 활성영역을 가로지르는 게이트 라인(108)을 형성한다. 상기 게이트 라인(108)은 적층된 게이트 절연 패턴(104) 및 게이트 전극(107)으로 구성된다. 상기 게이트 절연 패턴(104)은 열산화막으로 형성할 수 있다. 상기 게이트 전극(107)은 도핑된 폴리실리콘막(105)으로 형성할 수 있다. 이와는 달리, 상기 게이트 전극(107)은 적층된 도핑된 폴리실리콘막(105) 및 금속실리사이드막(106)으로 구성된 폴리사이드막으로 형성할 수 있다. 상기 금속실리사이드막(106)은 텅스텐 실리사이드, 티타늄실리사이드, 코발트실리사이드 또는

니켈실리사이드로 형성할 수 있다. 상기 게이트 라인(108) 및 상기 소자분리막(102)을 마스크로 사용하여 저도즈(low dose)의 불순물 이온들을 주입하여 상기 게이트 라인(108) 양측의 상기 활성영역에 저농도 불순물확산층(109a)을 형성한다. 상기 저농도 불순물확산층(109a)을 갖는 반도체기판(101) 전면에 스페이서막을 형성하고, 상기 스페이서막을 이방성 식각하여 상기 게이트 라인(108)의 측벽에 스페이서(110)를 형성한다. 상기 게이트 라인(108), 상기 스페이서(110) 및 상기 소자분리막(102)을 마스크로 사용하여 고도즈(high dose)의 불순물 이온들을 주입하여 고농도 불순물확산층(109b)을 형성한다. 상기 저농도 및 고농도 불순물

<44> 확산층들(109a, 109b)은 엘디디구조의 불순물확산층(111)을 구성한다. 상기 스페이서(110)는 실리콘산화막, 실리콘질화막 또는 실리콘산화막과 실리콘질화막의 복합막으로 형성할 수 있다.

<45> 상기 불순물확산층(111)을 갖는 반도체기판(101) 전면 상에 식각방지막(114) 및 층간절연막(115)을 차례로 형성한다. 상기 식각방지막(114)은 상기 층간절연막(115)에 대하여 식각선택비를 갖는 절연막이다. 상기 층간절연막(115)을 실리콘산화막으로 형성할 경우에, 상기 식각방지막(114)은 실리콘질화막으로 형성할 수 있다. 상기 식각방지막(114)은 생략될 수도 있다.

<46> 상기 층간절연막(115) 및 상기 식각방지막(114)을 연속적으로 패터닝하여 상기 게이트 라인(108)의 상부면을 노출시키는 그루브(117) 및 적어도 2개의 상기 불순물확산층들(111)의 소정영역들을 노출시키는 플러그 그루브(118)를 형성한다. 상기 그루브(117)는 상기 게이트 라인(108)과 평행하다. 상기 그루브(117)

는 적어도 상기 게이트 라인(108)의 길이를 갖도록 형성하는 것이 바람직하다. 도 6에 있어서, 상기 그루브(117)의 폭은 상기 게이트 라인(108)의 폭과 동일하게 도시하였다. 하지만, 공정상의 마진을 위하여, 상기 그루브(117)의 폭은 상기 게이트 라인(108)의 폭에 비하여 넓을 수 있다. 이때에는, 상기 그루브(117)는 상기 게이트 라인(108)의 상부면 및 상기 스페이서(110)의 일부분을 노출시킬 수 있다. 상기 식각방지막(114)은 상기 그루브(117) 및 상기 플러그 그루브(118) 형성시, 상기 게이트 라인(108)의 상부면 및 상기 불순물확산층(111)의 표면의 식각손상을 방지하기 위한 것이다.

<47> 도 7을 참조하면, 상기 그루브(117) 및 상기 플러그 그루브(118)를 채우는 도전막(120)을 반도체기판(101) 전면에서 형성한다. 상기 도전막(120)은 금속막으로 형성하는 것이 바람직하다. 예를 들면, 텅스텐, 알루미늄, 티타늄, 탄탈륨 또는 구리등으로 형성할 수 있다. 경우에 따라, 상기 도전막(120)은 적층된 베리어막인 금속질화막 및 금속막으로 형성할 수 있다.

<48> 상기 도전막(120)을 상기 층간절연막(115)의 상부면이 노출될때까지 평탄화시킨다. 그 결과, 도 5에 도시된 상기 그루브(117) 내의 도전성 라인 패턴(120a) 및 상기 플러그 그루브(118) 내의 플러그 라인(120b)을 형성한다.

<49> (제2 실시예)

<50> 제2 실시예에 따른 반도체 소자는 상술한 제1 실시예와 유사하다. 따라서, 본 실시예에의 구성요소들 중 상술한 제1 실시예와 동일한 구성요소는 동일한 참조부호를 사용한다.

- <51> 도 8은 본 발명의 제2 실시예에 따른 게이트 전극을 갖는 반도체 소자를 설명하기 위한 사시도이다.
- <52> 도 8을 참조하면, 반도체기판(101)의 소정영역에 적어도 하나의 활성영역을 한정하는 소자분리막(102)이 배치된다. 적어도 하나의 상기 활성영역 상을 가로지르는 게이트 라인(108)이 배치된다. 상기 게이트 라인(108)은 적층된 게이트 절연 패턴(104) 및 게이트 전극(107)으로 구성된다. 상기 게이트 전극(107)은 도핑된 폴리실리콘막(105) 또는 폴리사이드막으로 이루어질 수 있다. 상기 폴리사이드막은 적층된 폴리실리콘막(105) 및 금속실리사이드막(106)으로 구성된다.
- <53> 상기 게이트 라인(108)의 측벽에 스페이서(110)가 배치되며, 상기 게이트 라인(108) 양측의 상기 활성영역에 불순물확산층(111)이 배치된다. 상기 게이트 라인(108), 상기 스페이서(110), 소자분리막(102) 및 상기 활성영역을 갖는 반도체기판(101)에 형성된 평탄화된 층간절연막(115a)이 배치된다. 상기 평탄화된 층간절연막(115a)은 상기 게이트 라인(108)의 상부면이 노출될때까지 평탄화된 상태이다. 상기 노출된 게이트 라인(108) 상에 도전성 라인 패턴(120a)이 배치된다. 상기 도전성 라인 패턴(120a)은 상기 게이트 라인(108)과 평행하며, 상기 게이트 전극(107)과 전기적으로 접속한다. 상기 도전성 라인 패턴(120a)은 적어도 상기 게이트 라인(108)의 길이를 갖는 것이 바람직하다. 상기 도전성 라인 패턴(120a)은 금속막으로 이루어지는 것이 바람직하다. 상기 도전성 라인 패턴(120a)으로 인하여, 상기 금속실리사이드막(106)에 종래의 틈(crack)이 발생할지라도, 상기 게이트 전극(108)의 저항을 감소시킬 수 있다. 또한, 상기 금속실리사이드막(106)이 생략될지라도, 상기 도전성 라인 패턴(120a)에 의하여 상기

게이트 전극(107)의 저항을 감소시킬 수 있다. 결과적으로, 종래의 금속실리사이드막의 틈으로 야기되는 게이트 전극의 저항이 증가하는 현상을 방지하여 고속 동작이 가능한 모스 트랜지스터를 구현할 수 있다.

<54> 도 9 및 도 10은 본 발명의 제2 실시예에 따른 반도체 소자의 형성방법을 설명하기 위한 단면도들이다.

<55> 도 9 및 도 10을 참조하면, 게이트 라인(108), 스페이서(110) 및 불순물확산층(111)은 도 6에서 설명한 형성방법들과 동일한 방법으로 형성할 수 있다. 상기 게이트 라인(108), 상기 스페이서(110) 및 상기 불순물확산층(111)을 갖는 반도체기판(101) 전면 상에 층간절연막(115)을 형성한다. 상기 층간절연막(115)은 실리콘산화막으로 형성할 수 있다.

<56> 상기 층간절연막(115)을 상기 게이트 라인(108)의 상부면을 노출될때까지 평탄화시키어 평탄화된 층간절연막(115a)을 형성한다. 상기 노출된 게이트 라인(108)을 갖는 반도체기판(101) 전면 상에 도전막(120)을 형성한다. 상기 도전막(120)은 금속막으로 형성하는 것이 바람직하다. 상기 도전막(120)을 패터닝하여 도 8에 도시된 도전성 라인 패턴(120)을 형성한다.

<57> 상술한 제1 실시예 및 제2 실시예에서, 서로 대응되는 구성요소는 동일한 물질로 형성할 수 있다.

<58> (제3 실시예)

<59> 도 11은 본 발명의 제3 실시예에 따른 반도체 소자를 설명하기 위한 평면도이며, 도 12는 도 11의 IV-IV'를 따라 취해진 단면도이고, 도 13은 도 11의 V-V'를 따라 취해진 단면도이다.

<60> 도 11, 도 12 및 도 13을 참조하면, 반도체기판(201)의 소정영역에 소자분리막(202)이 배치된다. 상기 소자분리막(202)은 적어도 하나의 제1 활성영역(203a) 및 적어도 하나의 제2 활성영역(203b)을 한정한다.

<61> 적어도 하나의 상기 제1 활성영역(203a) 상을 가로지르는 제1 게이트 라인(208a) 및 적어도 하나의 상기 제2 활성영역(203b) 상을 가로지르는 제2 게이트 라인(208b)이 배치된다. 상기 제1 및 제2 게이트 라인들(208a, 208b)은 서로 이격되어 있다. 상기 제1 및 제2 게이트 라인들(208a, 208b)은 동일한 직선상에 배치될 수 있다. 상기 제1 게이트 라인(208a)은 적층된 제1 게이트 절연 패턴(204a) 및 제1 게이트 전극(207a)으로 구성되며, 상기 제2 게이트 라인(208b)은 적층된 제2 게이트 절연 패턴(204b) 및 제2 게이트 전극(207b)으로 구성된다. 상기 제1 및 제2 게이트 절연 패턴들(204a, 204b)은 열산화막으로 이루어질 수 있다. 상기 제1 게이트 전극(207a)은 제1 도핑된 폴리실리콘막(205a) 또는 제1 폴리사이드막으로 이루어질 수 있다. 상기 제1 폴리사이드막은 적층된 제1 도핑된 폴리실리콘막(205a) 및 제1 금속실리사이드막(206a)으로 구성된다. 상기 제2 게이트 전극(207b)은 제2 도핑된 폴리실리콘막(205b) 또는 제2 폴리사이드막으로 이루어질 수 있다. 상기 제2 폴리사이드막은 적층된 제2 도핑된 폴리실리콘막(205b) 및 제2 금속실리사이드막(206b)으로 구성될 수 있다. 상기 제1 및 제2 도핑된 폴리실리콘막들(205a, 205b)은 같은 도전형의 불순물들이 도핑될 수 있다. 이와는 달리,

상기 제1 및 제2 도핑된 폴리실리콘막들(205a,205b)은 서로 다른 도전형의 불순물들로 도핑될 수도 있다. 상기 제1 및 제2 금속실리사이드막들(206a,206b)은 텅스텐실리사이드, 코발트실리사이드, 니켈실리사이드 또는 티타늄실리사이드로 이루어질 수 있다.

<62> 상기 제1 게이트 라인(208a) 양측의 상기 제1 활성영역(203a)에 제1 불순물 확산층(211a)이 배치되고, 상기 제2 게이트 라인(208b) 양측의 상기 제2 활성영역(203a)에 제2 불순물 확산층(211b)이 배치된다. 상기 제1 및 제2 불순물 확산층들(211a,211b)은 동일한 도전형의 불순물들로 도핑될 수 있다. 이와는 달리, 서로 다른 도전형의 불순물들로 도핑될 수도 있다. 상기 제1 및 제2 게이트 라인들(208a,208b)의 측벽에 스페이서(210)가 배치된다. 상기 스페이서(210)는 실리콘산화막, 실리콘질화막 또는 실리콘산화막과 실리콘질화막의 복합막으로 이루어질 수 있다.

<63> 상기 제1 및 제2 게이트 라인들(208a,208b)을 포함한 반도체기판(201) 전면을 덮는 식각방지막(214) 및 층간절연막(215)이 차례로 적층된다. 상기 식각방지막(214)은 상기 층간절연막(215)에 대하여 식각선택비를 갖는 절연막으로 이루어진다. 예를 들면, 상기 층간절연막(215)이 실리콘산화막으로 이루어질 경우, 상기 식각방지막(214)은 실리콘질화막으로 이루어질 수 있다. 상기 식각방지막(214)은 생략될 수 있다.

<64> 상기 층간절연막(215) 및 상기 식각방지막(214)을 관통하여 제1 및 제2 게이트 라인들(208a,208b)의 상부면들을 노출시키는 그루브(217)가 배치된다. 상기 그

루브(217) 내에 도전성 라인 패턴(220a)이 배치된다. 상기 도전성 라인 패턴(220a)은 상기 제1 게이트 라인(208a)과 평행한 부분, 상기 제2 게이트 라인(208b)과 평행한 부분 및 연결 부분으로 구분된다. 상기 도전성 라인 패턴(220a)의 상기 제1 게이트 라인(208a)과 평행한 부분은 적어도 상기 제1 게이트 라인(208a)의 길이를 갖고, 상기 도전성 라인 패턴의 상기 제2 게이트 라인(208a)과 평행한 부분은 적어도 상기 제2 게이트 라인(208b)의 길이를 갖는 것이 바람직하다. 상기 도전성 라인 패턴(220a)은 상기 제1 및 제2 게이트 전극들(207a, 207b)을 전기적으로 접속시킨다. 상기 도전성 라인 패턴(220a)은 금속막으로 이루어지는 것이 바람직하다. 예를 들면, 알루미늄, 텅스텐, 티타늄, 탄탈륨 또는 구리등으로 이루어질 수 있다. 경우에 따라, 상기 도전성 라인 패턴(220a)은 상기 금속막 및 상기 제1 및 제2 게이트 전극들(207a, 207b) 사이에 개재된 베리어막인 금속질화막으로 포함할 수 있다.

<65> 상기 제1 게이트 라인(208a) 및 상기 제1 불순물확산층들(211a)은 제1 모스 트랜지스터를 구성하고, 상기 제2 게이트 라인(208b) 및 상기 제2 불순물확산층들(211b)은 제2 모스 트랜지스터를 구성한다. 상기 제1 모스 트랜지스터는 엔모스 또는 피모스 트랜지스터일 수 있다. 이와 마찬가지로, 상기 제2 모스 트랜지스터도 엔모스 또는 피모스 트랜지스터일 수 있다.

<66> 상술한 반도체 소자에 있어서, 상기 도전성 라인 패턴(220a)은 상기 제1 및 제2 게이트 전극들(207a, 207b)의 저항을 감소시킴과 동시에, 상기 제1 및 제2 게이트 전극들(207a, 207b)을 전기적으로 접속시킨다. 이에 따라, 상기 제1 및 제2 금속실리사이드막들(206a, 206b)에 종래의 틈(crack)이 발생할지라도, 상기 제1

및 제2 게이트 전극들(207a,207b)의 저항을 감소시킨다. 또한, 상기 제1 및 제2 금속실리사이드막들(206a,206b)이 생략될 경우에도, 상기 도전성 라인 패턴(220a)은 상기 제1 및 제2 게이트 전극들(207a,207b)의 저항을 감소시킬 수 있다. 이에 더하여, 상기 도전성 라인 패턴(220a)은 상기 제1 및 제2 게이트 전극들(207a,207b)을 전기적으로 접속시키는 배선역활도 수행한다. 즉, 상기 도전성 라인 패턴(220a)의 일부분으로 상기 제1 및 제2 게이트 전극들(207a,207b)을 접속시킨다. 이에 따라, 상기 도전성 라인 패턴(220a)은 콘택플러그들 및 상기 콘택플러그들 상에 배치된 배선을 사용하는 일반적인 배선형태에 비하여 배선저항을 감소시킬 수 있다.

<67> 결과적으로, 상기 반도체 소자는 종래의 금속실리사이드의 틈으로 야기되는 게이트 전극의 저항이 증가하는 현상을 방지함과 동시에, 이격된 상기 제1 및 제2 게이트 전극들(207a,207b)을 직접 접속시킴으로써, 고속의 반도체 소자를 구현할 수 있다.

<68> 상술한 제1 및 제2 게이트 라인들(208a,208b)은 서로 다른 직선상에 배치될 수도 있다. 상기 제1 및 제2 게이트 라인들(208a,208b)이 평면적으로 서로 수직하게 배치된 경우를 도 14를 참조하여 설명한다.

<69> 도 14는 본 발명의 제3 실시예에 따른 반도체 소자 중 다른 형태의 도전성 라인 패턴을 보여주는 평면도이다.

<70> 도 14를 참조하면, 서로 이격된 제1 및 제2 활성영역들(203a,203b) 상을 각각 가로지르는 제1 및 제2 게이트 라인들(208a,208b)이 배치된다. 상기 제1 및 제2 게이트 라인들(208a,208b)은 서로 이격되어 있으며, 평면적으로 서로 수직하

게 배치된다. 상기 제1 및 제2 게이트 라인들(208a, 208b) 상에 도전성 라인 패턴(220a')이 배치된다. 상기 도전성 라인 패턴(220a')의 연결부분(B)은 상기 제1 및 제2 게이트 라인들(208a, 208b)의 배치형태에 의하여 수직하게 꺾여진 형태일 수 있다.

<71> 도 15A 및 도 16A는 본 발명의 제3 실시예에 따른 반도체 소자의 형성방법을 설명하기 위하여 도 11의 IV-IV'를 따라 취해진 단면도들이며, 도 15B 및 도 16B는 본 발명의 제3 실시예에 따른 반도체 소자의 형성방법을 설명하기 위하여 도 11의 V-V'를 따라 취해진 단면도들이다.

<72> 도 15A 및 도 15B를 참조하면, 반도체기판(201)의 소정영역에 소자분리막(202)을 형성하여 적어도 하나의 제1 활성영역 및 적어도 하나의 제2 활성영역을 한정한다. 적어도 하나의 상기 제1 활성영역을 가로지르는 제1 게이트 라인(208a) 및 적어도 하나의 상기 제2 활성영역을 가로지르는 제2 게이트 라인(208b)을 형성한다. 상기 제1 및 제2 게이트 라인들(208a, 208b)은 서로 이격되어 있다. 상기 제1 게이트 라인(208a)은 적층된 제1 게이트 절연 패턴(204a) 및 제1 게이트 전극(207a)으로 구성되고, 상기 제2 게이트 라인(208b)은 적층된 제2 게이트 절연 패턴(204a) 및 제2 게이트 전극(207b)으로 구성된다.

<73> 상기 제1 및 제2 게이트 절연 패턴(204a, 204b)은 열산화막으로 형성할 수 있다. 상기 제1 게이트 전극(207a)은 제1 도핑된 폴리실리콘막(205a) 또는 제1 폴리사이드막으로 형성할 수 있다. 상기 제1 폴리사이드막은 적층된 제1 도핑된 폴리실리콘막(205a) 및 제1 금속실리사이드막(206a)으로 구성된다. 상기 제2 게이트 전극(207b)은 제2 도핑된 폴리실리콘막(205b) 또는 제2 폴리사이드막으로

형성할 수 있다. 상기 제2 폴리사이드막은 적층된 제2 도핑된 폴리실리콘막 (205b) 및 제2 금속실리사이드막(206b)으로 형성할 수 있다. 상기 제1 및 제2 도핑된 폴리실리콘막들(205a, 205b)은 동일한 도전형의 불순물들로 도핑될 수 있다. 이와는 달리, 상기 제1 및 제2 도핑된 폴리실리콘막들(205a, 205b)은 서로 다른 도전형의 불순물들로 도핑될 수 있다. 상기 제1 및 제2 금속실리사이드막들 (206a, 206b)은 텅스텐 실리사이드, 코발트 실리사이드, 니켈 실리사이드 또는 티타늄 실리사이드로 형성할 수 있다.

<74> 상기 제1 게이트 라인(208a) 양측의 제1 활성영역 및 상기 제2 게이트 라인(208b) 양측의 상기 제2 활성영역에 불순물 이온들을 주입하여 각각 제1 불순물확산층(211a) 및 제2 불순물확산층(211b)을 형성한다. 상기 제1 및 제2 불순물확산층들(211a)은 엘디디구조를 갖도록 형성할 수 있다. 상기 제1 및 제2 불순물확산층들(211a, 211b)은 동일한 도전형의 불순물들로 형성될 수 있다. 이와는 달리, 상기 제1 및 제2 불순물확산층들(211a, 211b)은 서로 다른 도전형의 불순물 이온들을 주입하여 형성할 수 있다. 따라서, 상기 제1 및 제2 불순물확산층들 (211a, 211b)은 동시에 형성되거나, 순차적으로 형성될 수 있다. 상기 제1 및 제2 게이트 라인들(208a, 208b)의 측벽에 스페이서(210)를 형성한다. 상기 스페이서 (210)는 실리콘산화막, 실리콘질화막 또는 실리콘산화막과 실리콘질화막의 복합 막으로 형성할 수 있다.

<75> 상기 스페이서(210)를 갖는 반도체기판(201) 전면 상에 식각방지막(214) 및 층간절연막(215)을 차례로 형성한다. 상기 식각방지막(214)은 상기

충간절연막(215)에 대하여 식각선택비를 갖는 절연막으로 형성한다. 예를 들면, 상기 충간절연막(215)이 실리콘산화막으로 형성될 경우, 상기 식각방지막(214)은 실리콘질화막으로 형성할 수 있다. 상기 식각방지막(214)은 생략될 수도 있다.

<76> 상기 충간절연막(215) 및 상기 식각방지막(214)을 연속적으로 패터닝하여 상기 제1 및 제2 게이트 라인들(208a, 208b)의 상부면들을 동시에 노출시키는 그루브(217)를 형성한다. 상기 식각방지막(214)은 상기 그루브(217)를 형성시, 상기 제1 및 제2 게이트 전극들(207a, 207b)의 상부면들을 식각손상으로 부터 보호하는 역할을 한다. 이에 더하여, 상기 식각방지막(214)은 상기 제1 및 제2 게이트 전극들(207a, 207b) 사이의 상기 충간절연막(215)이 과식각되는 것을 방지하는 역할을 한다.

<77> 도 16A 및 도 16B를 참조하면, 상기 그루브(217)의 내부를 채우는 도전막(220)을 반도체기판(201) 전면에서 형성한다. 상기 도전막(220)은 금속막으로 형성하는 것이 바람직하다. 예를 들면, 텅스텐, 알루미늄, 티타늄, 탄탈륨 또는 구리로 형성할 수 있다. 경우에 따라, 상기 도전막(220)은 베리어막인 금속질화막을 포함할 수 있다.

<78> 상기 도전막(220)을 상기 충간절연막(215)의 상부면이 노출될때까지 평탄화시킨다. 그 결과, 도 12 및 도 13에 도시된, 도전성 라인 패턴(220a)을 형성할 수 있다.

<79> (제4 실시예)

- <80> 제4 실시예에 따른 반도체 소자는 상술한 제3 실시예와 유사하다. 따라서, 본 실시예에의 구성요소들 중 상술한 제3 실시예와 동일한 구성요소는 동일한 참조부호를 사용한다.
- <81> 도 17은 본 발명의 제4 실시예에 따른 반도체 소자를 설명하기 위한 단면도이다.
- <82> 도 17을 참조하면, 제4 실시예에 따른 반도체 소자는 도 11, 도 12 및 도 13에서 설명된, 소자분리막(201), 제1 및 제2 게이트 라인들(208a, 208b), 스페이서(210) 및 제1 및 제2 불순물확산층들(211a, 211b)을 포함할 수 있다.
- <83> 상기 소자분리막(201), 상기 제1 및 제2 게이트 라인들(208a, 208b), 상기 스페이서(210) 및 상기 제1 및 제2 불순물확산층들(211a, 211b)을 갖는 반도체기판(201)에 형성된 평탄화된 층간절연막(215a)이 배치된다. 상기 평탄화된 층간절연막(215a)은 상기 제1 및 제2 게이트 라인들(208a, 208b)의 상부면들이 노출될때까지 평탄화된 상태이다. 상기 노출된 제1 및 제2 게이트 라인들(208a, 208b) 상에 도전성 라인 패턴(220a)이 배치된다. 상기 도전성 라인 패턴(220a)은 상기 제1 게이트 라인(208a)과 평행한 부분 및 제2 게이트 라인(208b)과 평행한 부분을 갖는다. 상기 도전성 라인 패턴(220a)의 상기 제1 게이트 라인(208a)과 평행한 부분은 적어도 상기 제1 게이트 라인(208a)의 길이를 갖고, 상기 도전성 라인 패턴(220a)의 상기 제2 게이트 라인(208b)과 평행한 부분은 적어도 상기 제2 게이트 라인(208b)의 길이를 갖는 것이 바람직하다.
- <84> 상기 제1 및 제2 게이트 라인들(208a, 208b)의 상부면들의 전체 길이에 배치되는 것이 바람직하다. 상기 도전성 라인 패턴(220a)은 상기 제1 및 제2 게

트 전극들(207a,207b)을 전기적으로 접속시킨다. 이에 따라, 상기 도전성 라인 패턴(220a)은 상기 제1 및 제2 게이트 전극들(207a,207b)의 저항을 감소시킴과 동시에, 상기 제1 및 제2 게이트 전극들(207a,207b)을 서로 접속시키는 배선역할을 한다. 결과적으로, 종래의 금속실리사이드의 틈으로 야기되는 게이트 전극의 저항이 증가하는 현상을 방지함과 동시에, 이격된 게이트 전극들을 직접 접속시킴으로써, 고속의 반도체 소자를 구현할 수 있다.

<85> 도 18 및 도 19는 본 발명의 제4 실시예에 따른 반도체 소자의 형성방법을 설명하기 위한 단면도들이다.

<86> 도 18 및 도 19를 참조하면, 제1 및 제2 게이트 라인들(208a,208b), 스페이서(210) 및 제1 및 제2 불순물확산층들을 형성하는 방법은 도 15A 및 도 15B에서 설명한 방법과 동일하게 형성할 수 있다.

<87> 상기 제1 및 제2 게이트 라인들(208a,208a) 및 상기 스페이서(210)를 갖는 반도체기판(201) 전면 상에 층간절연막(215)을 형성한다.

<88> 상기 층간절연막(215)을 상기 제1 및 제2 게이트 라인들(208a,208b)의 상부면들이 노출될때까지 평탄화시키어 평탄화된 층간절연막(215a)을 형성한다. 상기 노출된 제1 및 제2 게이트 라인들(208a,208b)을 갖는 반도체기판 전면 상에 도전막(220)을 형성한다. 상기 도전막(220)은 금속막으로 형성하는 것이 바람직하다. 상기 도전막(220a)을 패터닝하여 도 17에 도시된 도전성 라인 패턴(220a)을 형성한다.

<89> 상술한 제3 실시예 및 제4 실시예에서, 서로 대응되는 구성요소는 동일한 물질로 형성될 수 있다.

【발명의 효과】

<90> 상술한 바와 같이, 본 발명에 따르면, 측벽에 스페이서를 갖는 게이트 라인의 상에 상기 게이트 라인과 평행한 도전성 라인 패턴이 배치된다. 이에 따라, 게이트 전극의 금속실리사이드막에 종래의 틈(crack)이 발생할지라도, 게이트 전극의 저항을 감소시킬 수 있다. 또한, 상기 금속실리사이드막을 생략할 경우, 상기 도전성 라인 패턴이 상기 게이트 전극의 저항을 감소시킬 수 있다. 이에 더하여, 상기 도전성 라인 패턴은 이격된 이웃하는 게이트 전극의 상부면까지 연장되어 배선역활을 할 수 있다. 결과적으로, 종래의 금속실리사이드의 틈으로 야기되는 게이트 전극의 저항이 증가하는 현상을 방지함과 동시에, 이격된 게이트 전극들을 직접 전기적으로 접속시킴으로써, 고속의 반도체 소자를 구현할 수 있다.

【특허청구범위】**【청구항 1】**

반도체기판;

상기 반도체기판 상에 차례로 적층된 게이트 절연 패턴 및 게이트 전극으로 구성된 게이트 라인;

상기 게이트 라인 측벽에 형성된 스페이서; 및

상기 게이트 라인 상에 배치되되, 상기 게이트 라인과 평행한 도전성 라인 패턴을 포함하되, 상기 도전성 라인 패턴은 상기 게이트 전극과 전기적으로 접속하는 것을 특징으로 하는 반도체 소자.

【청구항 2】

제 1 항에 있어서,

상기 게이트 전극은 도핑된 폴리실리콘막 및 폴리사이드막으로 구성된 그룹에서 선택된 하나로 이루어지되, 상기 폴리사이드막은 적층된 도핑된 폴리실리콘막 및 금속실리사이드막으로 구성되는 것을 특징으로 하는 반도체 소자.

【청구항 3】

제 1 항에 있어서,

상기 반도체기판, 상기 게이트 라인 및 상기 스페이서를 덮는 층간절연막을 더 포함하되, 상기 도전성 라인 패턴은 상기 층간절연막을 관통하여 상기 게이트 라인의 상부면을 노출시키는 그루브 내에 배치되는 것을 특징으로 하는 반도체 소자.

【청구항 4】

제 3 항에 있어서,

상기 반도체기판, 상기 게이트 라인 및 상기 스페이서를 덮는 식각방지막을 더 포함하되, 상기 식각방지막은 상기 층간절연막에 대하여 식각선택비를 갖고, 상기 층간절연막은 상기 식각방지막 상에 배치되는 것을 특징으로 하는 반도체 소자.

【청구항 5】

제 1 항에 있어서,

상기 게이트 라인 및 상기 스페이서를 갖는 반도체기판에 형성되되, 상기 게이트라인의 상부면이 노출될때까지 평탄화된 층간절연막을 더 포함하는 것을 특징으로 하는 반도체 소자.

【청구항 6】

제 1 항에 있어서,

상기 도전성 라인 패턴은 적어도 상기 게이트 라인의 길이를 갖는 것을 특징으로 하는 반도체 소자.

【청구항 7】

제 1 항에 있어서,

상기 도전성 라인 패턴은 금속막으로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 8】

반도체기판;

상기 반도체기판 상에 서로 이격되어 배치되되, 적층된 제1 게이트 절연 패턴 및 제1 게이트 전극으로 구성된 제1 게이트 라인 및, 적층된 제2 게이트 절연 패턴 및 제2 게이트 전극으로 구성된 제2 게이트 라인;

상기 제1 및 제2 게이트 라인들의 측벽에 형성된 스페이서; 및

상기 제1 및 제2 게이트 라인들 상에 배치되되, 상기 제1 게이트 라인과 평행한 부분 및 상기 제2 게이트 라인과 평행한 부분을 갖는 도전성 라인 패턴을 포함하되, 상기 도전성 라인 패턴은 상기 제1 및 제2 게이트 전극들과 전기적으로 접속하는 것을 특징으로 하는 반도체 소자.

【청구항 9】

제 8 항에 있어서,

상기 제1 및 제2 게이트 라인들은 도핑된 폴리실리콘막 및 폴리사이드막으로 구성된 그룹에서 선택된 하나로 이루어지되, 상기 폴리사이드막은 적층된 도핑된 폴리실리콘막 및 금속실리사이드막으로 구성되는 것을 특징으로 하는 반도체 소자.

【청구항 10】

제 8 항에 있어서,

상기 반도체기판, 상기 스페이서, 상기 제1 및 제2 게이트 라인들을 덮는 층간절연막을 더 포함하되, 상기 도전성 라인 패턴은 상기 층간절연막을 관통하

여 상기 제1 및 제2 게이트 라인들의 상부면들을 노출시키는 그루브내에 배치되는 것을 특징으로 하는 반도체 소자.

【청구항 11】

제 10 항에 있어서,

상기 반도체기판, 상기 스페이서, 상기 제1 및 제2 게이트 라인들을 덮는 식각방지막을 더 포함하되, 상기 식각방지막은 상기 층간절연막에 대하여 식각선택비를 갖고, 상기 층간절연막은 상기 식각방지막 상에 배치되는 것을 특징으로 하는 반도체 소자.

【청구항 12】

제 8 항에 있어서,

상기 제1 및 제2 게이트 라인들 및 상기 스페이서를 갖는 반도체기판에 형성되되, 상기 제1 및 제2 게이트 라인들의 상부면들이 노출될때까지 평탄화된 층간절연막을 더 포함하는 것을 특징으로 하는 반도체 소자.

【청구항 13】

제 8 항에 있어서,

상기 도전성 라인 패턴의 상기 제1 게이트 라인과 평행한 부분은 적어도 상기 제1 게이트 라인의 길이를 갖고, 상기 도전성 라인 패턴의 상기 제2 게이트 라인과 평행한 부분은 적어도 상기 제2 게이트 라인의 길이를 갖는 것을 특징으로 하는 반도체 소자.

【청구항 14】

제 8 항에 있어서,

상기 도전성 라인 패턴은 금속막으로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 15】

반도체기판 상에 차례로 적층된 게이트 절연 패턴 및 게이트 전극으로 구성된 게이트 라인을 형성하는 단계;

상기 게이트 라인의 측벽에 스페이서를 형성하는 단계;

상기 스페이서를 갖는 반도체기판 전면에 층간절연막을 형성하는 단계;

상기 게이트 라인의 상부면을 노출시키는 단계; 및

상기 노출된 게이트 라인 상에 상기 게이트 라인과 평행한 도전성 라인 패턴을 형성하는 단계를 포함하는 반도체 소자의 형성방법.

【청구항 16】

제 15 항에 있어서,

상기 게이트 전극은 도핑된 폴리실리콘막 및 폴리사이드막으로 구성된 그룹에서 선택된 하나로 형성하되, 상기 폴리사이드는 적층된 도핑된 폴리실리콘막 및 금속실리사이드막으로 구성되는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 17】

제 15 항에 있어서,

상기 게이트 라인의 상부면을 노출시키는 단계 및 상기 도전성 라인 패턴을 형성하는 단계는,

상기 층간절연막을 패터닝하여 상기 게이트 라인의 상부면을 노출시키는 그루브를 형성하는 단계;

상기 그루브를 채우는 도전막을 반도체기판 전면에 형성하는 단계; 및

상기 도전막을 상기 층간절연막이 노출될때까지 평탄화시키어 상기 그루브 내에 상기 도전성 라인 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 18】

제 17 항에 있어서,

상기 층간절연막을 형성하기 전에,

상기 스페이서를 갖는 반도체기판 전면에 상기 층간절연막에 대하여 식각선택비를 갖는 식각방지막을 형성하는 단계를 더 포함하되, 상기 그루브는 상기 층간절연막 및 상기 식각방지막을 연속적으로 패터닝하여 상기 게이트 라인의 상부면을 노출시키는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 19】

제 15 항에 있어서,

상기 게이트 라인의 상부면을 노출시키는 단계 및 상기 도전성 라인 패턴을 형성하는 단계는,

상기 충전절연막을 상기 게이트 라인의 상부면이 노출될때까지 평탄화시키는 단계;

상기 노출된 게이트 라인을 갖는 반도체기판 전면에 도전막을 형성하는 단계; 및

상기 도전막을 패터닝하여 상기 게이트 라인 상에 상기 도전성 라인 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 20】

제 15 항에 있어서,

상기 도전성 라인 패턴은 금속막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 21】

상기 반도체기판 상에 서로 이격되어 배치되되, 적층된 제1 게이트 절연 패턴 및 제1 게이트 전극으로 구성된 제1 게이트 라인 및, 적층된 제2 게이트 절연 패턴 및 제2 게이트 전극으로 구성된 제2 게이트 라인을 형성하는 단계;

상기 제1 및 제2 게이트 라인들의 측벽에 스페이서를 형성하는 단계;

상기 스페이서를 갖는 반도체기판 전면에 충전절연막을 형성하는 단계;

상기 제1 및 제2 게이트 라인들의 상부면들을 노출시키는 단계; 및

상기 노출된 제1 및 제2 게이트 라인들 상에 상기 제1 게이트 라인과 평행한 부분 및 상기 제2 게이트 라인과 평행한 부분을 갖는 도전성 라인 패턴을 형

성하는 단계를 포함하되, 상기 도전성 라인 패턴은 상기 제1 및 제2 게이트 전극들을 전기적으로 접속시키는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 22】

제 21 항에 있어서,

상기 제1 및 제2 게이트 전극들은 도핑된 폴리실리콘막 및 폴리사이드막으로 구성된 그룹에서 선택된 하나로 형성하되, 상기 폴리사이드는 적층된 도핑된 폴리실리콘막 및 금속실리사이드막으로 구성되는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 23】

제 21 항에 있어서,

상기 제1 및 제2 게이트 라인들의 상부면들을 노출시키는 단계 및 상기 도전성 라인 패턴을 형성하는 단계는,

상기 층간절연막을 패터닝하여 상기 제1 및 제2 게이트 라인들의 상부면들을 노출시키는 그루브를 형성하는 단계;

상기 그루브를 채우는 도전막을 반도체기판 전면에 형성하는 단계; 및

상기 도전막을 상기 층간절연막이 노출될때까지 평탄화시키어 상기 그루브 내에 상기 도전성 라인 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 24】

제 23 항에 있어서,

상기 층간절연막을 형성하기 전에,

상기 스페이서를 갖는 반도체기판 전면에 상기 층간절연막에 대하여 식각선택비를 갖는 식각방지막을 형성하는 단계를 더 포함하되, 상기 그루브는 상기 층간절연막 및 상기 식각방지막을 연속적으로 패터닝하여 상기 제1 및 제2 게이트 전극들의 상부면들을 노출시키는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 25】

제 21 항에 있어서,

상기 제1 및 제2 게이트 라인들의 상부면들을 노출시키는 단계 및 상기 도전성 라인 패턴을 형성하는 단계는,

상기 층간절연막을 상기 제1 및 제2 게이트 라인들의 상부면들이 노출될때까지 평탄화시키는 단계;

상기 노출된 게이트 라인을 갖는 반도체기판 전면에 도전막을 형성하는 단계; 및

상기 도전막을 패터닝하여 상기 제1 및 제2 게이트 라인들의 상부면들 상에 상기 도전성 라인 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 26】

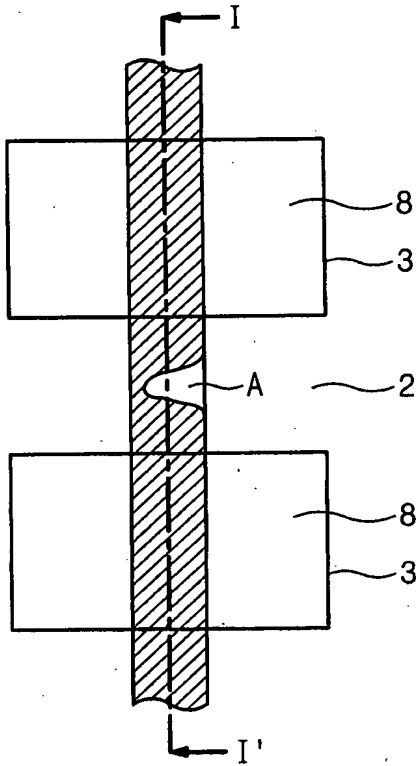
제 21 항에 있어서,

상기 도전성 라인 패턴은 금속막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【도면】

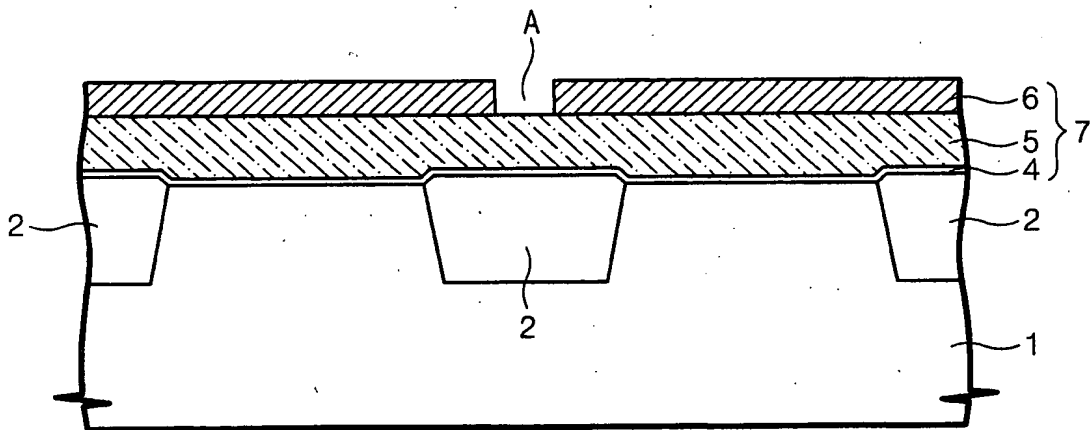
【도 1】

(종래 기술)

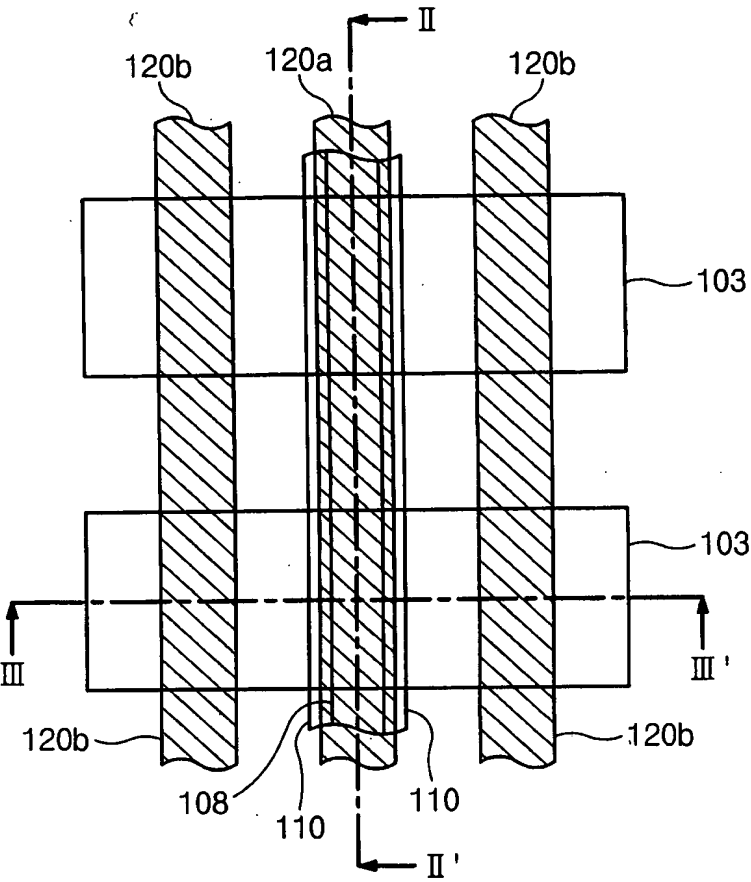


【도 2】

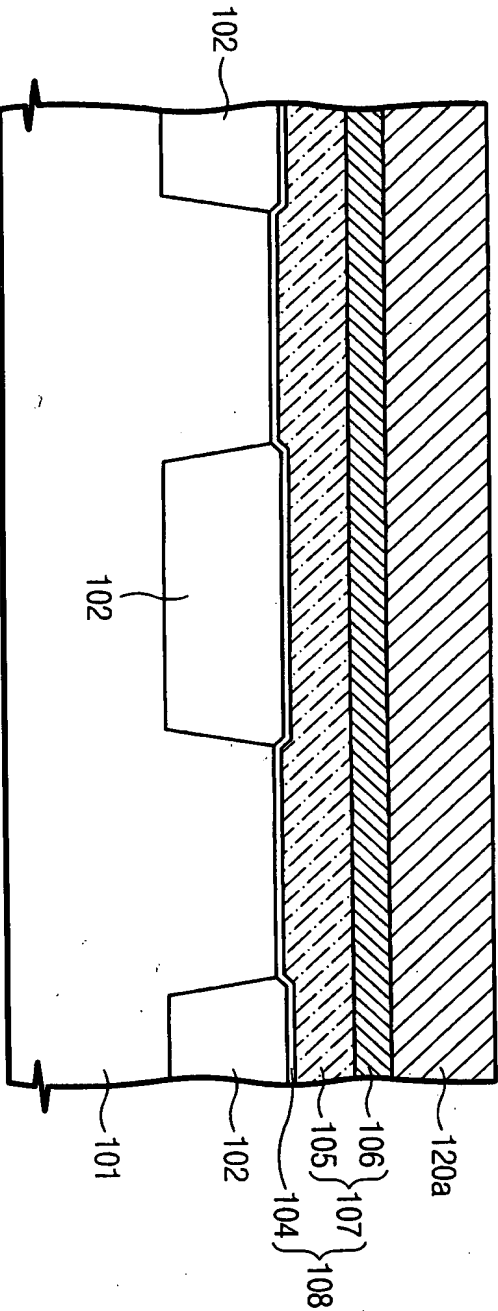
(종래 기술)



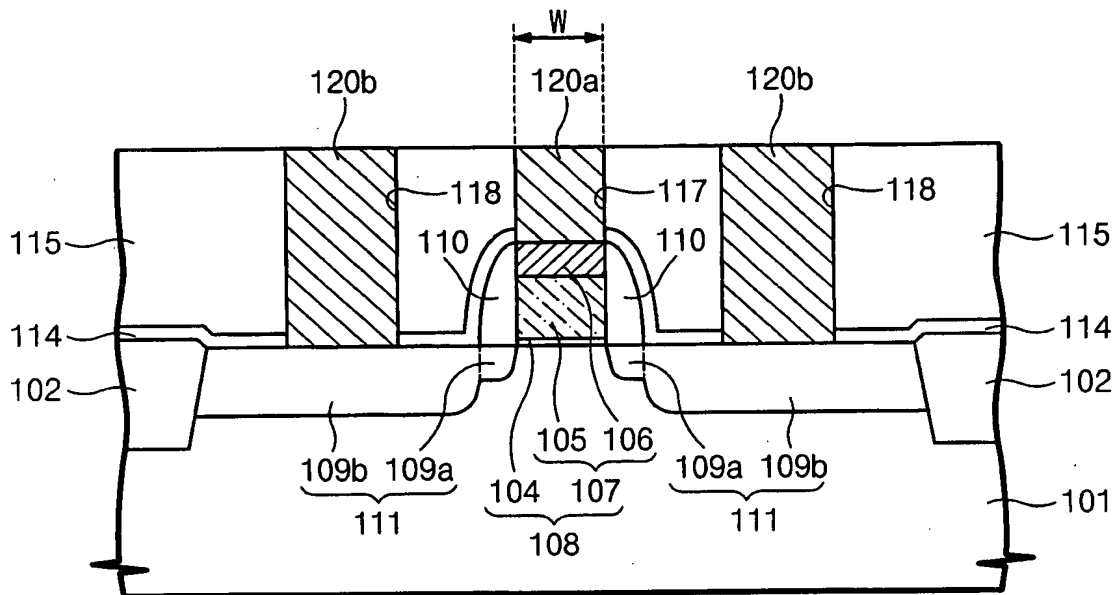
【도 3】



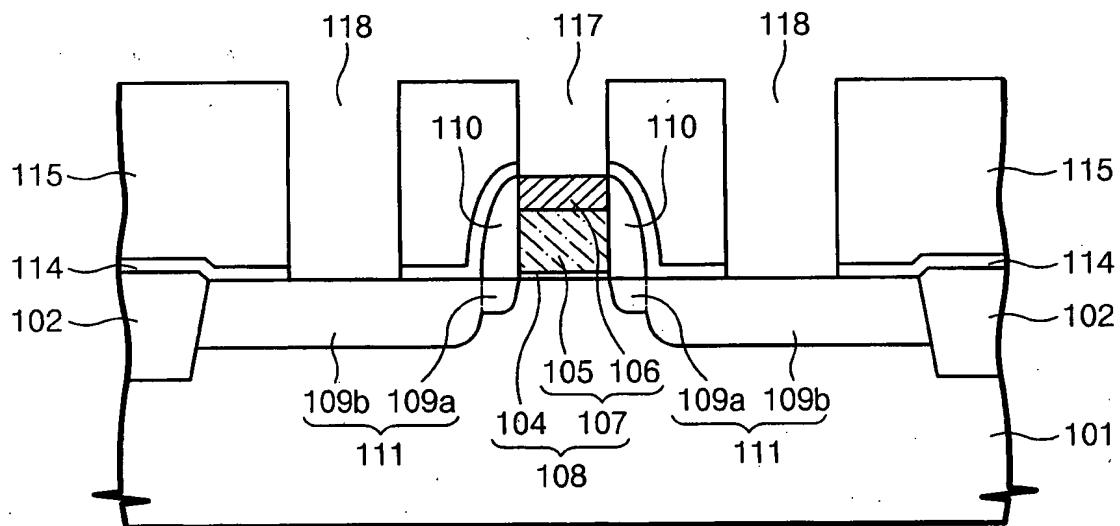
【도 4】



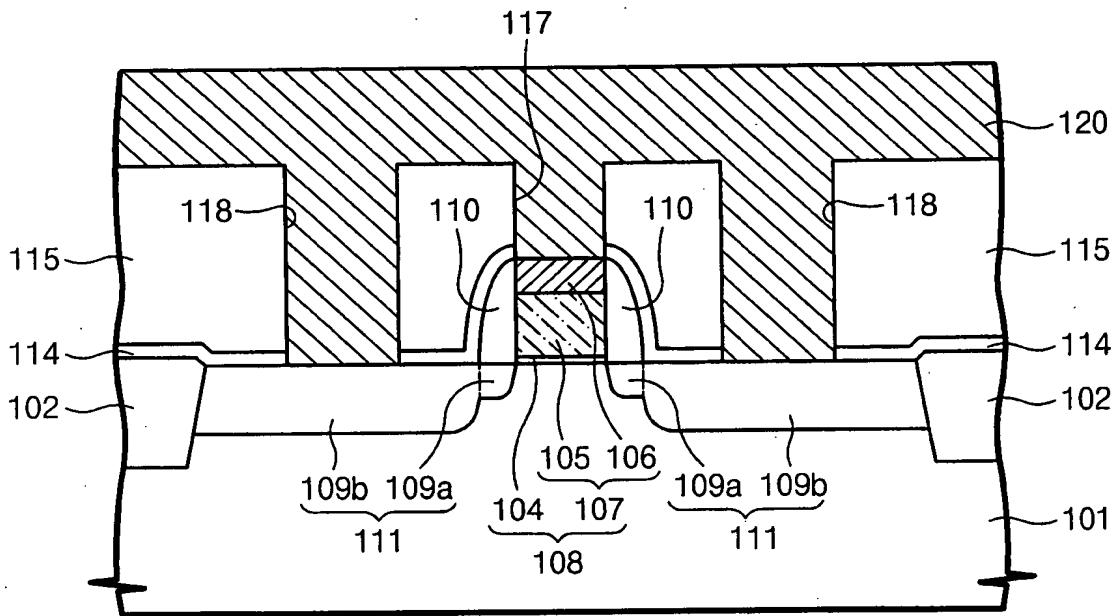
【도 5】



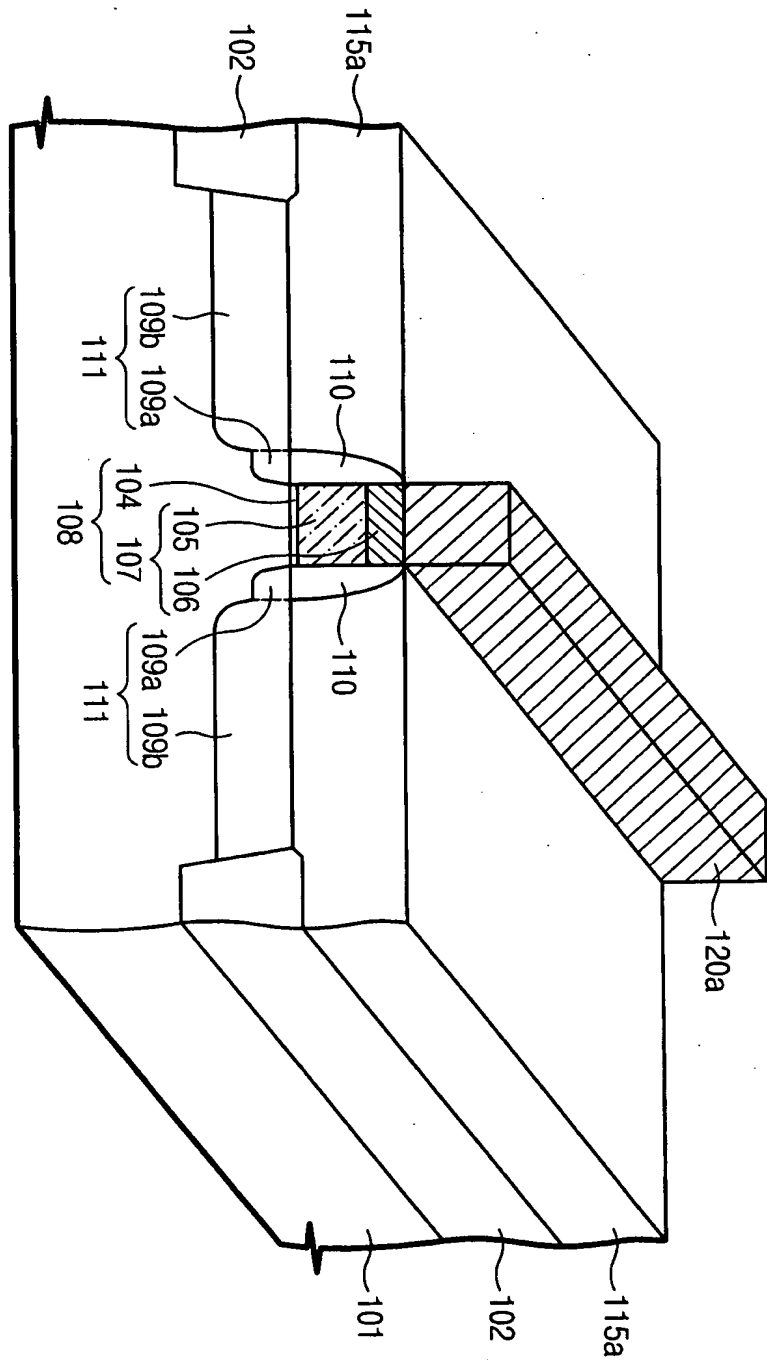
【도 6】



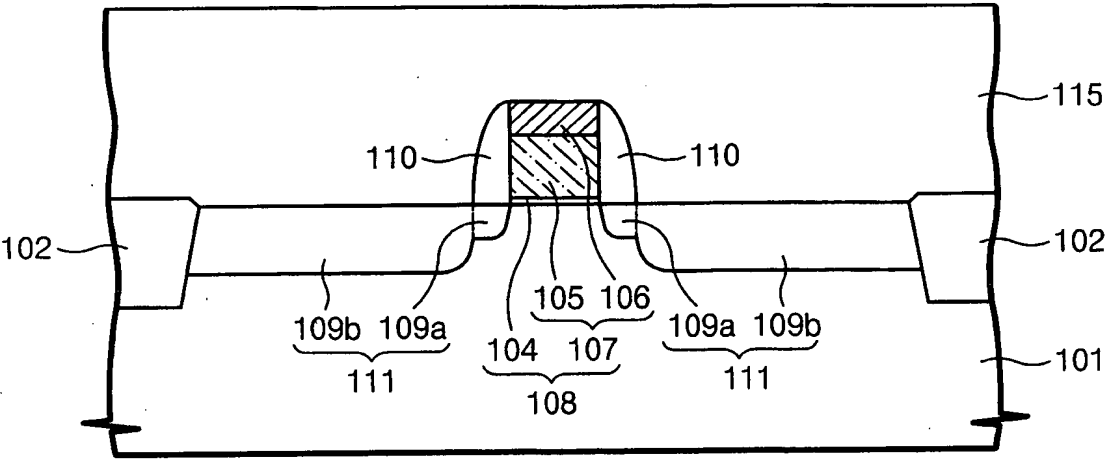
【도 7】



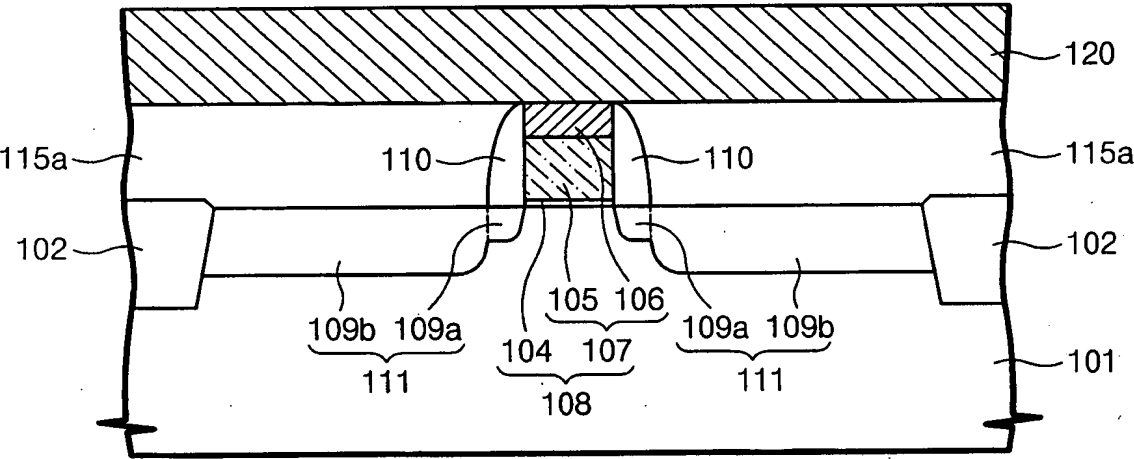
【도 8】



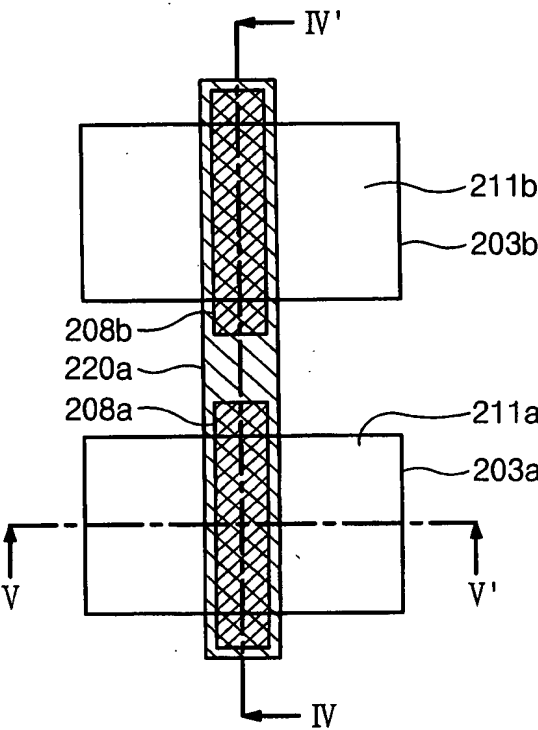
【도 9】



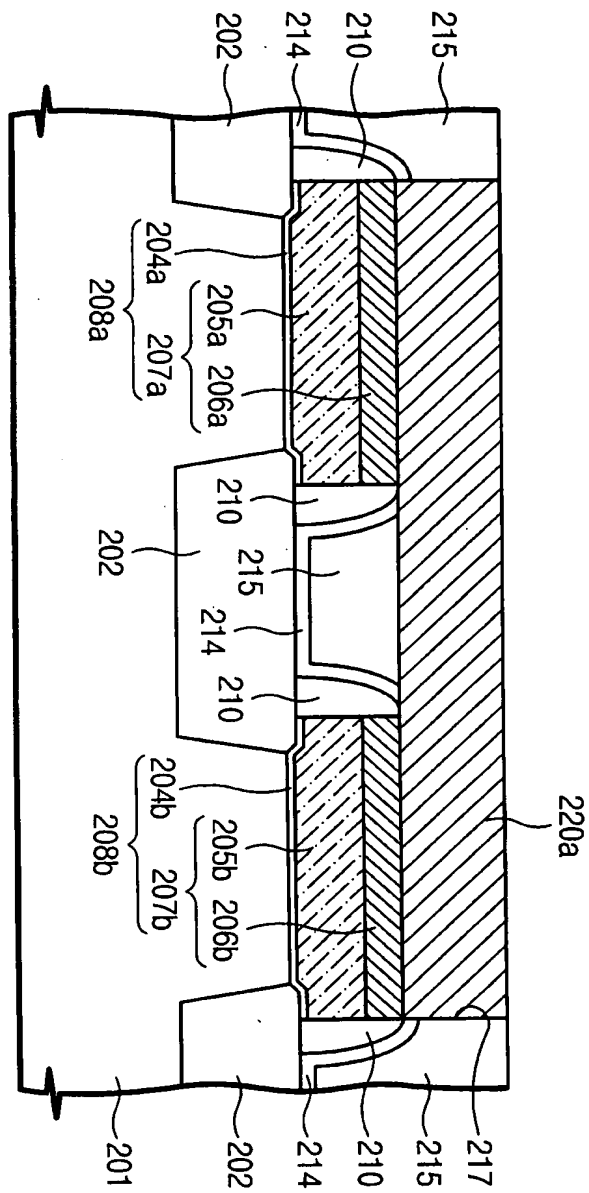
【도 10】



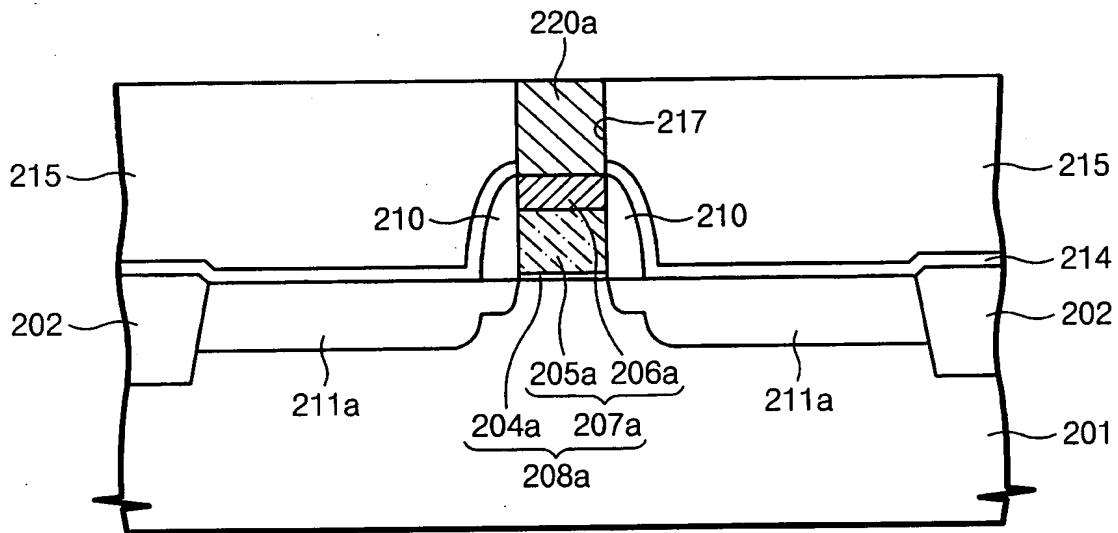
【도 11】



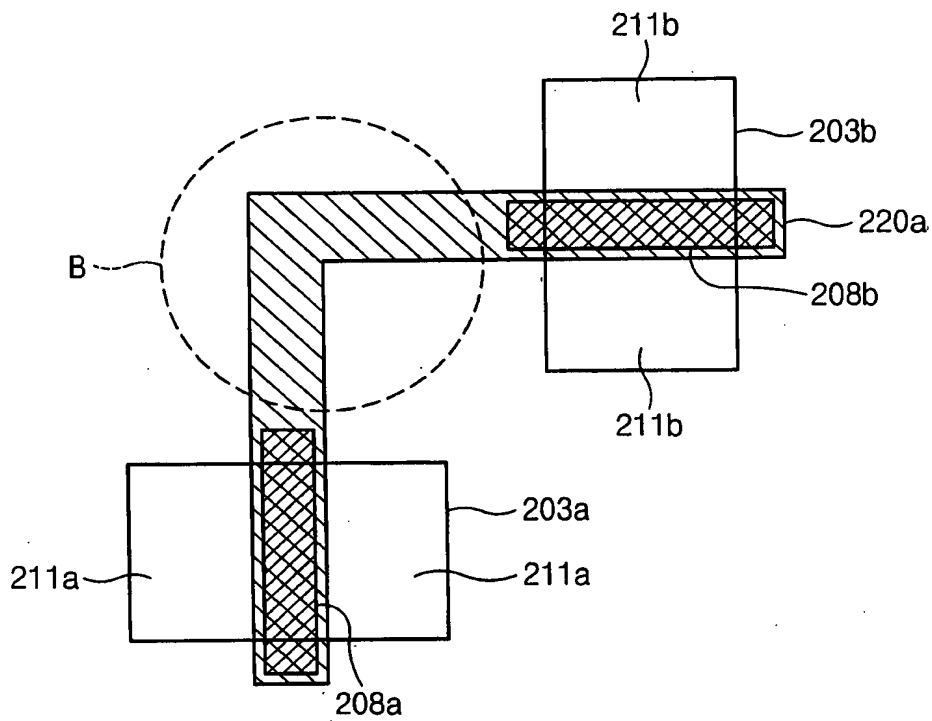
【도 12】



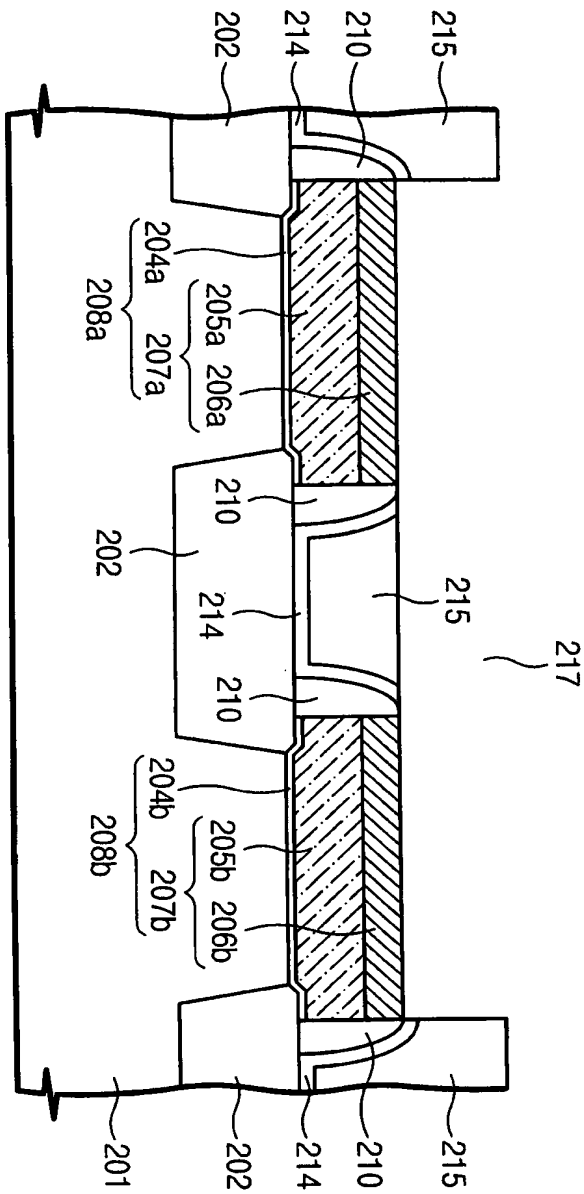
【도 13】



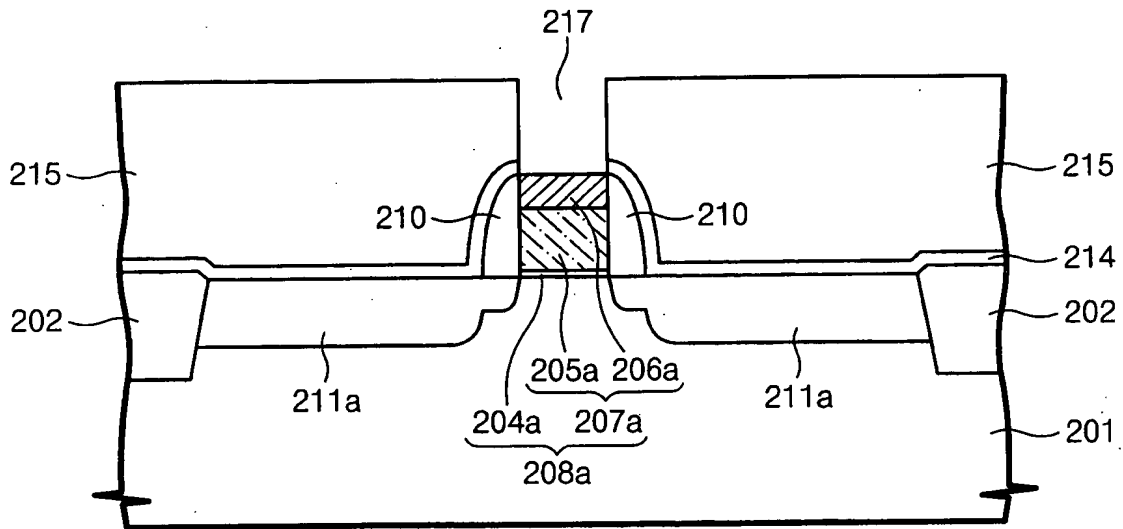
【도 14】

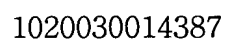


【도 15a】



【도 15b】



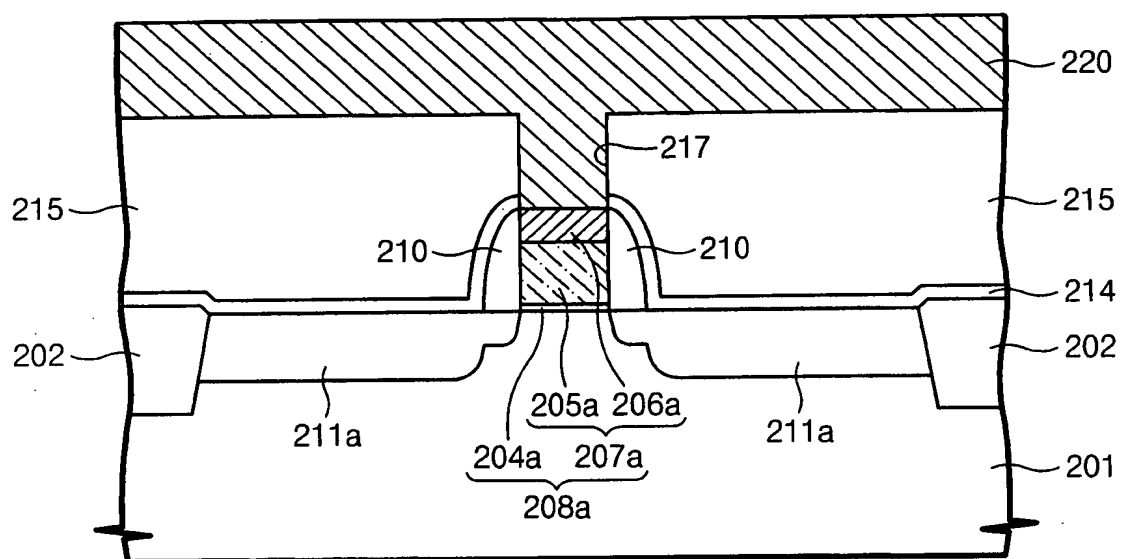


출력 일자: 2003/9/5

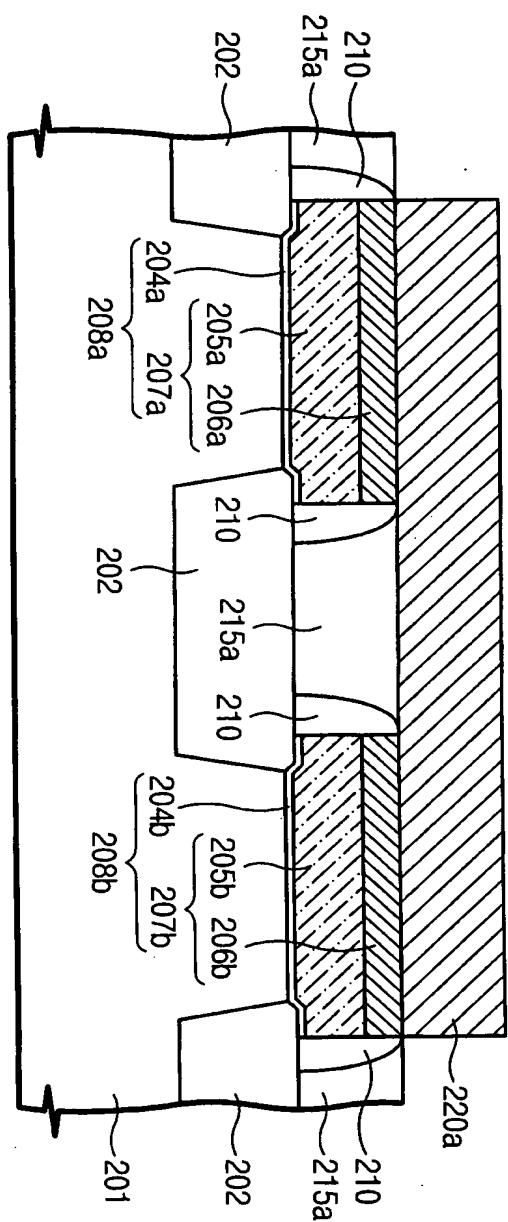
【도 16a】



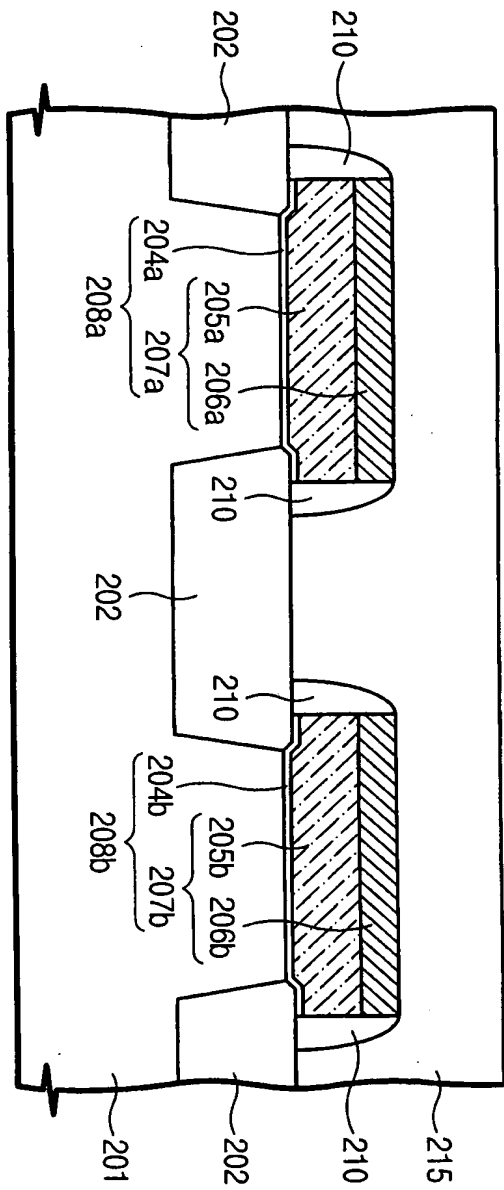
【도 16b】



【도 17】



【도 18】





1020030014387

출력 일자: 2003/9/5

【도 19】

